

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2019-507905

(P2019-507905A)

(43) 公表日 平成31年3月22日 (2019. 3. 22)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/33 (2006.01)	G09F 9/33	5C094
H01L 33/00 (2010.01)	H01L 33/00 L	5F142
G09F 9/30 (2006.01)	G09F 9/30 310	
H01L 21/60 (2006.01)	G09F 9/30 330	
	H01L 21/92 602A	
審査請求 有 予備審査請求 未請求 (全 29 頁)		

(21) 出願番号 特願2018-541279 (P2018-541279)
 (86) (22) 出願日 平成29年2月10日 (2017. 2. 10)
 (85) 翻訳文提出日 平成30年8月7日 (2018. 8. 7)
 (86) 国際出願番号 PCT/US2017/017532
 (87) 国際公開番号 W02017/142817
 (87) 国際公開日 平成29年8月24日 (2017. 8. 24)
 (31) 優先権主張番号 62/297, 113
 (32) 優先日 平成28年2月18日 (2016. 2. 18)
 (33) 優先権主張国 米国 (US)

(71) 出願人 503260918
 アップル インコーポレイテッド
 Apple Inc.
 アメリカ合衆国 95014 カリフォル
 ニア州 クパチーノ アップル パーク
 ウェイ ワン
 One Apple Park Way,
 Cupertino, Californ
 ia 95014, U. S. A.
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100112508
 弁理士 高柳 司郎

最終頁に続く

(54) 【発明の名称】 マイクロドライバ及びマイクロLEDのためのバックプレーン構造及びプロセス

(57) 【要約】

マイクロLED及びマイクロドライバチップの集積化スキームが説明される。ある実施形態では、マイクロドライバチップは、マイクロドライバチップの底面に形成された複数のトレンチを含み、各トレンチは、マイクロドライバチップ本体の底面の下方に延びる導電性スタッドを囲んでいる。ディスプレイ基板に接合され、マイクロドライバチップに隣接する導電性端子接点及びマイクロLEDへの電氣的接続を提供するための集積化スキームが、更に説明される。

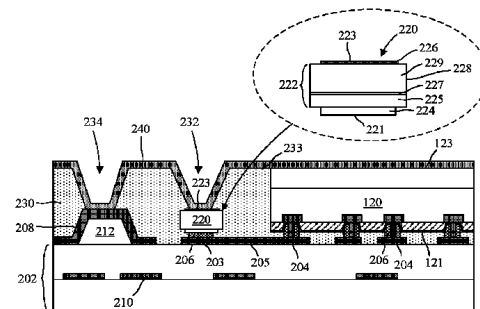


FIG. 16

【特許請求の範囲】

【請求項 1】

デバイス層と、
前記デバイス層の下方にあるパッシベーション層であって、底面を含むパッシベーション層と、
前記パッシベーション層にある複数のトレンチと、
前記複数のトレンチ内にある複数の導電性スタッドと、を備えるチップであって、
各導電性スタッドは、対応するトレンチの側壁により囲まれて、前記導電性スタッドと前記対応するトレンチの前記側壁との間にリザーバが形成され、
各導電性スタッドは、前記パッシベーション層の前記底面の下方にある底面を含む、チップ。

10

【請求項 2】

ランディングパッドのアレイを更に備え、各スタッドは、ランディングパッドから延びている、請求項 1 に記載のチップ。

【請求項 3】

前記パッシベーション層の前記底面及び前記複数のトレンチの前記側壁に形成されたバリア層を更に備える、請求項 2 に記載のチップ。

【請求項 4】

前記バリア層は、前記複数のランディングパッドに形成されている、請求項 3 に記載のチップ。

20

【請求項 5】

前記バリア層は、前記パッシベーション層よりも薄い、請求項 4 に記載のチップ。

【請求項 6】

コンタクトパッドのアレイを含むディスプレイ基板と、
前記ディスプレイ基板に接合された L E D のアレイと、
前記ディスプレイ基板に接合されたチップのアレイと、を備えるディスプレイであって、
各チップは、1 つ以上の L E D を駆動するために前記 1 つ以上の L E D に電氣的に接続され、
各チップは、
複数のトレンチを含むパッシベーション層と、
前記複数のトレンチ内にあり、前記パッシベーション層の底面の下方に延びる複数の導電性スタッドと、を含み、
各導電性スタッドは、対応するトレンチにリフローされたはんだ材によってコンタクトパッドに接合されている、ディスプレイ。

30

【請求項 7】

前記ディスプレイ基板上の導電性端子線のアレイと、
前記 L E D のアレイ上であって前記 L E D のアレイと電氣的に接続しており、かつ前記導電性端子線のアレイ上であって前記導電性端子線のアレイと電氣的に接続している、上部接触層と、
を更に備える、請求項 6 に記載のディスプレイ。

40

【請求項 8】

前記ディスプレイ基板上の導電性端子ポストのアレイと、
前記 L E D のアレイ上であって前記 L E D のアレイと電氣的に接続しており、かつ前記導電性端子ポストのアレイ上であって前記導電性端子ポストのアレイと電氣的に接続している、上部接触層と、
を更に備える、請求項 6 に記載のディスプレイ。

【請求項 9】

前記コンタクトパッドのアレイの縁を覆うパターンニングされた絶縁層を更に備え、
各チップは、前記パターンニングされた絶縁層の対応する部分の直上にある複数のコンタ

50

クトパッドに接合されている、請求項 6 に記載のディスプレイ。

【請求項 10】

ディスプレイ基板と、
前記ディスプレイ基板上の複数のコンタクトパッドと、
前記複数のコンタクトパッドに接合されたチップと、
前記チップに隣接するバンク構造と、
前記複数のコンタクトパッドのうちの 1 つを前記バンク構造の上部の L E D コンタクトパッドに電氣的に接続するトレース線と、
前記 L E D コンタクトパッドに接合された L E D と、
を備える、ディスプレイ。

10

【請求項 11】

前記トレース線は、前記バンク構造の側壁に沿って延びている、請求項 10 に記載のディスプレイ。

【請求項 12】

前記 L E D 及び前記チップの側壁の周りのパッシベーション充填層と、
前記パッシベーション充填層、前記 L E D、及び前記チップの上にわたる上部接触層であって、前記 L E D 及び導電性端子接点の上にあり、かつ前記 L E D 及び前記導電性端子接点と電氣的に接触している、上部接触層と、
を更に備える、請求項 10 に記載のディスプレイ。

20

【請求項 13】

前記バンク構造は、第 1 のバンクレベルと、前記第 1 のバンクレベル上にある第 2 のバンクレベルと、を備え、前記導電性端子接点は、前記第 2 のバンクレベル上にある、請求項 12 に記載のディスプレイ。

【請求項 14】

前記第 2 のバンクレベルは、前記第 1 のバンクレベルと一体的に形成されている、請求項 13 に記載のディスプレイ。

【請求項 15】

前記導電性端子接点の上に、前記パッシベーション充填層の開口を更に備え、
前記導電性端子接点は前記バンク構造上にあり、前記上部接触層は、前記パッシベーション充填層の前記開口の側壁沿いにわたっている、請求項 12 に記載のディスプレイ。

30

【請求項 16】

前記バンク構造の横方向に隣接する第 2 のバンク構造と、
前記導電性端子接点の上に、前記パッシベーション充填層の開口と、を更に備え、
前記導電性端子接点は前記第 2 のバンク構造上にあり、前記上部接触層は、前記パッシベーション充填層の前記開口の側壁沿いにわたっている、請求項 12 に記載のディスプレイ。

【請求項 17】

前記複数のコンタクトパッドの縁を覆うパターニングされた絶縁層を更に備え、
前記チップは、前記パターニングされた絶縁層の一部分の直上にある前記複数のコンタクトパッドに接合されている、請求項 12 に記載のディスプレイ。

40

【請求項 18】

前記パッシベーション充填層は、上面及び共形の底面を含む、請求項 12 に記載のディスプレイ。

【請求項 19】

前記共形の底面は、前記バンク構造上の導電性端子接点の微細構成、及び前記複数のコンタクトパッドのうちの 1 つを前記 L E D コンタクトパッドに電氣的に接続する前記トレース線に共形である、請求項 18 に記載のディスプレイ。

【請求項 20】

前記チップは、
デバイス層と、

50

前記デバイス層の下方のパッシベーション層であって、底面を含むパッシベーション層と、

前記パッシベーション層にある複数のトレンチと、

前記複数のトレンチ内にある複数の導電性スタッドと、

前記複数のトレンチ内にあり、前記パッシベーション層の底面の下方に延びる複数の導電性スタッドと、を含む、

各導電性スタッドは、対応するトレンチにリフローされたはんだ材によってコンタクトパッドに接合されている、請求項 12 に記載のディスプレイ。

【発明の詳細な説明】

【技術分野】

10

【0001】

本明細書で説明する実施形態は、ディスプレイバックプレーンに関する。特に、実施形態は、マイクロLEDディスプレイのためのマイクロデバイス集積化技術に関する。

【背景技術】

【0002】

電話機、タブレット、コンピュータ、及びテレビ用の最新式ディスプレイは、液晶ベースの画素を通るバックライトの透過を制御するために、薄膜トランジスタ（TFT；thin film transistor）を有するガラス基板を利用している。より最近では、有機発光ダイオード（OLED；organic light emitting diode）ベースのディスプレイなどの発光型ディスプレイが、電力効率が高く、ブラックを表示するときに各画素を完全にオフできるものとして、導入されている。更により最近では、発光性の無機半導体ベースのマイクロLEDを高解像度ディスプレイに採用することが提案されている。OLEDと比べて、無機半導体ベースのマイクロLEDは、エネルギー効率をより高めることができ、寿命劣化し難く、湿気に対して過敏となり難くすることができる。

20

【発明の概要】

【0003】

実施形態は、マイクロドライバチップ、及びディスプレイバックプレーンの集積化スキームを説明する。ある実施形態では、マイクロドライバチップは、デバイス層と、デバイス層の下方にあるパッシベーション層と、を含む。パッシベーション層は底面を含む。パッシベーション層には複数のトレンチが形成され、複数のトレンチ内には複数の導電性スタッドが位置している。各導電性スタッドは、パッシベーション層の下にあるランディングパッドから延びることができる。各導電性スタッドは、対応するトレンチの側壁により囲まれて、導電性スタッドと対応するトレンチの側壁との間にリザーバが形成されている。実施形態によれば、各導電性スタッドは、パッシベーション層の底面の下方にある底面を含む。

30

【0004】

パッシベーション層の底面及び複数のトレンチの側壁に、バリア層を形成することができる。複数のランディングパッドにも、バリア層を形成することができる。ある実施形態では、バリア層は、パッシベーション層よりも薄い。

【0005】

40

ある実施形態では、ディスプレイ基板は、コンタクトパッドのアレイを含む。ディスプレイ基板にLEDのアレイが接合され、ディスプレイ基板にチップのアレイが接合され、各チップは、1つ以上のLEDを駆動するために1つ以上のLEDに電氣的に接続される。ある実施形態では、各チップは、複数のトレンチを含むパッシベーション層と、複数のトレンチ内にあり、パッシベーション層の底面の下方に延びる複数の導電性スタッドと、を含む。各導電性スタッドは、対応するトレンチにリフローしたはんだ材によって、コンタクトパッドに接合されている。ある実施形態では、導電性端子線のアレイがディスプレイ基板上にあり、上部接触層は、LEDのアレイ上であってLEDのアレイと電氣的に接続しており、かつ導電性端子線のアレイ上であって導電性端子線のアレイと電氣的に接続している。ある実施形態では、導電性端子線のアレイがディスプレイ基板上にあり、上部

50

接触層は、LEDのアレイ上であってLEDのアレイと電氣的に接続しており、かつ導電性端子ポストのアレイ上であって導電性端子ポストのアレイと電氣的に接続している。パターンニングされた絶縁層は、コンタクトパッドのアレイの縁を更に覆うことができ、各チップは、パターンニングされた絶縁層の対応する部分の直上にある複数のコンタクトパッドに接合されている。

【0006】

ある実施形態では、ディスプレイは、ディスプレイ基板と、ディスプレイ基板上の複数のコンタクトパッドと、複数のコンタクトパッドに接合されたチップと、チップに隣接するバンク構造と、複数のコンタクトパッドのうちの1つをバンク構造の上部のLEDコンタクトパッドに電氣的に接続するトレース線と、LEDコンタクトパッドに接合されたLEDと、を含む。ある実施形態では、トレース線は、バンク構造の側壁に沿って延びる。パッシベーション充填層はLED及びチップの側壁の周りにあることができ、上部接触層は、パッシベーション充填層、LED、及びチップの上にわたり、LED及び導電性端子接点の上であってLED及び導電性端子接点と電氣的に接触している。

10

【0007】

ある実施形態では、バンク構造は、第1のバンクレベルと、第1のバンクレベル上にある第2バンクレベルと、を含み、導電性端子接点は、第2のバンクレベルにある。第2のバンクレベルは、第1のバンクレベルと一体的に形成することができる。

【0008】

ある実施形態では、導電性端子接点の上に、パッシベーション充填層に開口が形成されている。導電性端子接点はバンク構造上にあることができ、上部接触層は、パッシベーション充填層の開口の側壁沿いにわたっている。

20

【0009】

ある実施形態では、第2のバンク構造は、バンク構造の横方向に隣接している。導電性端子接点の上に、パッシベーション充填層に開口を形成することができる。導電性端子接点は第2のバンク構造上にあることができ、上部接触層は、パッシベーション充填層の開口の側壁沿いにわたっている。

【0010】

実施形態によれば、パターンニングされた絶縁層は複数のコンタクトパッドの縁を任意選択的に覆うことができ、チップは、パターンニングされた絶縁層の一部分の直上にある複数のコンタクトパッドに接合されている。実施形態によれば、パッシベーション充填層は、平坦な上面及び共形の底面を含むことができる。例えば、底面は、バンク構造上の導電性端子接点の微細構成、及び複数のコンタクトパッドの1つをLEDコンタクトパッドに電氣的に接続するトレース線に共形であることができる。実施形態によれば、チップは、デバイス層と、デバイス層の下方にあるパッシベーション層と、を含むことができる。複数のトレンチはパッシベーション層にあり、複数の導電性スタッドは複数のトレンチ内であって、複数の導電性スタッドがパッシベーション層の底面の下方に延びている。各導電性スタッドを、対応するトレンチにリフローしたはんだ材によって、対応するコンタクトパッドに接合することができる。

30

【図面の簡単な説明】

40

【0011】

【図1】ある実施形態によるマイクロドライバチップの斜視図である。

【0012】

【図2】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図3】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図4】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図5】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面

50

面図である。

【図 6】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図 7】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図 8】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図 9】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

【図 10】ある実施形態によるマイクロドライバチップのアレイを製造する方法の概略側断面図である。

10

【0013】

【図 11】ある実施形態による、ディスプレイ基板の上にあるマイクロドライバチップの概略側断面図である。

【0014】

【図 12】ある実施形態による、ディスプレイ基板に接合されたマイクロドライバチップの概略側断面図である。

【0015】

【図 13】ある実施形態による、マイクロドライバチップ及びマイクロLEDのアレイを含むディスプレイシステムの概略上面図である。

20

【図 14】ある実施形態による、マイクロドライバチップ及びマイクロLEDのアレイを含むディスプレイシステムの概略上面図である。

【0016】

【図 15】ある実施形態による、マイクロデバイスをディスプレイ基板に集積化する方法を例示するフローチャートである。

【0017】

【図 16】ある実施形態による、パターニングされたパッシベーション充填層を有する集積化されたディスプレイ基板の概略側断面図である。

【0018】

【図 17】ある実施形態による、コンタクトパッドのアレイの縁を覆うパターニングされた絶縁層を有するディスプレイ基板上へのマイクロデバイスを集積化した際の概略側断面図である。

30

【図 18】ある実施形態による、コンタクトパッドのアレイの縁を覆うパターニングされた絶縁層を有するディスプレイ基板上へのマイクロデバイスを集積化した際の概略側断面図である。

【図 19】ある実施形態による、コンタクトパッドのアレイの縁を覆うパターニングされた絶縁層を有するディスプレイ基板上へのマイクロデバイスを集積化した際の概略側断面図である。

【図 20】ある実施形態による、コンタクトパッドのアレイの縁を覆うパターニングされた絶縁層を有するディスプレイ基板上へのマイクロデバイスを集積化した際の概略側断面図である。

40

【0019】

【図 21】ある実施形態による、マイクロデバイスをディスプレイ基板に集積化する方法を例示するフローチャートである。

【0020】

【図 22】ある実施形態による、持ち上げられたマイクロLEDを有する集積化されたディスプレイ基板の一部分の概略側断面図である。

【0021】

【図 23】ある実施形態による、マイクロデバイスをディスプレイ基板に集積化する方法を例示するフローチャートである。

50

【0022】

【図24】ある実施形態による、持ち上げられたマイクロLED及びパターニングされたパッシベーション充填層を有する集積化されたディスプレイ基板の一部分の概略側断面図である。

【0023】

【図25】ある実施形態による、持ち上げられたマイクロLED及びパターニングされたパッシベーション充填層を有する集積化されたディスプレイ基板の一部分の概略側断面図である。

【0024】

【図26】ある実施形態による、持ち上げられたマイクロLEDを有する集積化されたディスプレイ基板の一部分の概略側断面図である。

10

【0025】

【図27A】ある実施形態による、マイクロドライバチップ及び持ち上げられたマイクロLEDを含むディスプレイ基板の一部分の概略上面図である。

【0026】

【図27B】ある実施形態による、図27AのX-X線に沿って取られた概略側断面図である。

【発明を実施するための形態】

【0027】

実施形態は、マイクロLED及びマイクロチップをディスプレイ基板に集積化し機能させるための様々な方法及び構造を説明する。特に、実施形態は、マイクロLEDを駆動するための回路を含むマイクロチップ（例えば、マイクロドライバチップ）に隣接するマイクロLEDの集積化及び機能化に関する。実施形態によれば、マイクロLEDは、無機半導体系材料で形成することができ、 $1\sim300\mu\text{m}$ 、 $1\sim100\mu\text{m}$ 、 $1\sim20\mu\text{m}$ 、又は、より具体的には、 $5\mu\text{m}$ など、 $1\sim10\mu\text{m}$ の、側壁間の最大横寸法を有することができる。実施形態によれば、マイクロLEDは、ディスプレイ基板上のコンタクトパッド（例えば、ドライバパッド）に接合される下部電極と、上部接触層により導電性端子構造と電気的に接続される上部電極とを含む、垂直LEDとすることができる。例えば、導電性端子構造及び対応する信号は、グランド線、又は何らかの他の低電圧（ V_{ss} ）若しくは逆バイアスの電源プレーン、又は何らかの他の高電圧レベル（ V_{dd} ）の電流源出力若しくは電圧源出力であることができる。実施形態によれば、マイクロチップ（例えば、マイクロドライバチップ）は、 $1\sim300\mu\text{m}$ の最大横寸法を有することができ、マイクロLEDの画素レイアウトに適合することができる。実施形態によれば、マイクロドライバチップは、薄膜トランジスタ（TFT）基板アーキテクチャでよく用いられるような、各表示素子用のドライバトランジスタに置き換えることができる。マイクロドライバチップは、追加回路、例えばスイッチングトランジスタ、発光制御トランジスタ、及び各表示素子用の記憶デバイスさえも、含むことができる。マイクロドライバチップは、デジタル回路、アナログ回路、又はハイブリッド回路を含むことができる。加えて、従来のディスプレイバックプレーン基板でよく用いられる非晶質シリコン又は低温ポリシリコンのTFT加工技術とは対照的に、単結晶シリコン上のマイクロドライバチップの製造にMOSFET加工技術を用いることができる。

20

30

40

【0028】

一態様では、実施形態は、マイクロチップがディスプレイ基板に超微細ピッチで接合されるように設計されるマイクロチップ（例えば、マイクロドライバチップ）集積化スキームを説明する。実施形態によれば、より多くの回路がディスプレイバックプレーン基板からマイクロドライバチップにオフロードされることで、マイクロドライバチップが有するディスプレイ基板との接点の数が増える。更に、単一のマイクロドライバチップにより駆動されるマイクロLEDの数が増加すると、接点の数は増加する。例えば、単一のマイクロドライバチップが、複数の画素内の1つ以上のLEDを駆動することができる。例示的な接点としては、非限定的に、マイクロLEDドライバ接点、 V_{dd} 、電源、 V_{ss} 、

50

グラウンド、データ信号入力、走査信号入力、発光制御信号入力、基準電圧／電流などが挙げられる。

【0029】

例示的な一実装では、ディスプレイは、赤－緑－青（RGB）の画素レイアウトを含む。例として、これは、 1920×1080 又は 2560×1600 の解像度に適合することができる。このようなRGB配列では、各画素は、赤色発光サブ画素、緑色発光サブ画素、及び青色発光サブ画素を含む。しかし、特定の解像度及びRGBカースキームは例示のみを目的としており、実施形態はそのように限定されない。他の例示的な画素配列としては、赤－緑－青－黄－シアン（RGBYC）、赤－緑－青－白（RGBW）、又は、画素が異なる数のサブ画素を有する他のサブ画素マトリクススキームが挙げられる。

10

【0030】

例として、水平寸法（x）及び垂直寸法（y）によって各サブ画素を特徴付けることができる。表1には、実施形態による潜在的なアラインメント許容値に関する基準を提供するために、例示のみを目的として、RGBカースキーム用の様々な例示的な寸法が提示されている。

【表1】

表1.

画素ピッチ(x, y)	サブ画素ピッチ(x, y)	1インチ当たりの画素(PPI)
(634 μ m, 634 μ m)	(211 μ m, 634 μ m)	40
(85 μ m, 85 μ m)	(28 μ m, 85 μ m)	299
(78 μ m, 78 μ m)	(26 μ m, 78 μ m)	326
(58 μ m, 58 μ m)	(19 μ m, 58 μ m)	440
(39 μ m, 39 μ m)	(13 μ m, 39 μ m)	652

20

【0031】

これにより、表1に表すように、画素密度（PPI）が高くなると、サブ画素ピッチ、特に、サブ画素当りの例示的な水平寸法（x）が小さくなる。 10μ m又は 5μ mの例示的な最大横寸法（x, y）を有するマイクロLEDを採用する例示的なディスプレイでは、サブ画素の水平寸法（x）は、PPIが高いほどLEDの水平寸法に近づく。更に、マイクロドライバチップのために利用可能な間隔は、更に制約される。高解像度ディスプレイに接合されたマイクロドライバチップのアレイを含む実施形態では、マイクロドライバチップ上の隣接する接点（例えば、導電性スタッド）間の利用可能な間隔は、特に、マイクロドライバチップ内により複雑な回路が含まれる場合に、小さくなる。実施形態によれば、隣接する接点間の利用可能な間隔は、例えば、 $1 \sim 6 \mu$ mなど、例えば $1 \sim 15 \mu$ mといった数ミクロン未満になることがある。

30

【0032】

ある実施形態では、各マイクロドライバチップは、はんだ材を利用してディスプレイ基板上の複数のコンタクトパッドに接合される。隣接するコンタクトパッド間のはんだ材の横方向の流れを抑制するために、各マイクロドライバチップは、パッシベーション層に形成された対応する複数のトレンチ内に複数の導電性スタッドを含んでいる。ディスプレイ基板上的コンタクトパッドにマイクロドライバチップを接合するときに、はんだ材は、リフローしたはんだ材を収集するリザーバとして作用するトレンチ内にリフローする。加えて、はんだ材は、マイクロドライバチップの底面に沿って形成されたバリア材料（例えば、Al₂O₃）とは対照的に、導電性スタッドを選択的に湿潤させることができる。この選択的な湿潤は、リフローしたはんだ材をマイクロドライバチップのトレンチ内に維持するように更に機能することができる。いくつかの実施形態によれば、隣接するコンタクトパッドを横切るはんだ材のリフロー（及び電氣的短絡）に対するバリアとして作用するために、代わりに又は加えて、コンタクトパッドのアレイの縁を覆うパターンニングされた絶縁層をディスプレイ基板上に設けることができる。

40

50

【0033】

実施形態によれば、パッシベーション充填層は、ディスプレイ基板上のマイクロLED及びマイクロドライバチップの側壁の周りに適用される。パッシベーション充填層は、マイクロLED及びマイクロドライバチップをディスプレイ基板に固定し、マイクロLEDの側壁を不動体化し（例えば、垂直マイクロLEDの上部／下部電極間の短絡を防止し）、マイクロLEDを導電性端子構造（例えば、Vss、グランドなど）に電氣的に接続する上部接触層の適用のためのステップカバレッジを提供するように、機能することができる。

【0034】

一態様では、実施形態は、マイクロドライバチップの上面との高低差を補償するように導電性端子接点の上面及び／又はマイクロLEDの上面を持ち上げるための、ディスプレイ基板上の様々なバンク構造構成及びピラー構造を説明する。

【0035】

一態様では、持ち上げられたマイクロLEDは、隣接するマイクロドライバチップから放出された光の反射により生じる低角度光散乱を潜在的に低減させることができる。例えば、シリコンで形成されたマイクロドライバチップは、隣接するマイクロLEDから放出される光を反射するミラーとして作用し、一定の視野角でのディスプレイの光学性能を潜在的に低下させることがある。ある実施形態では、持ち上げられたバンク構造にマイクロLEDを接合することで、低角度光散乱の量を低減させることができる。

【0036】

一態様では、持ち上げられたマイクロLEDが、ディスプレイ基板に埋め込まれた信号線との結合、及び潜在的に生じ得るRC遅延を少なくすることができる。ある実施形態では、持ち上げられたバンク構造にマイクロLEDを接合することで、結合を少なくするための追加の絶縁をもたらすことができる。

【0037】

一態様では、持ち上げられたマイクロLED及び／又は持ち上げられた導電性端子接点は、上部導電層との電氣的接触を作るためのアライメント許容値を緩和することができる。一態様では、マイクロLEDの上面が、隣接するマイクロドライバチップの上面の少なくとも2 μm以内、より具体的には0.5 μm以内となる様々なバンク構造が説明されている。いくつかの実施形態では、マイクロLEDの上面と、マイクロドライバチップの上面との両方は、パッシベーション充填層の上面の上方又は上面と同じ高さにある。いくつかの実施形態では、パッシベーション充填層は、ディスプレイ基板の表示領域全体にわたるスリットコーティングによって形成される。スリットコーティング装置の刃が、マイクロドライバチップを損傷せずにマイクロドライバチップをクリアするように、パッシベーション充填層の上面を最も高い構成部品（例えば、マイクロドライバチップ）の上面に持ち上げることができる。

【0038】

ここで図1を参照すると、ある実施形態によるマイクロドライバチップの斜視図が提示されている。特に、図1は、実施形態による、複数の導電性スタッド134と、導電性スタッド134を囲む複数のトレンチ114との関係を示すために提示されている。例示するように、マイクロドライバチップ120は、デバイス層104と、デバイス層104の下方にあるパッシベーション層112と、を含むことができる。パッシベーション層112は、底面113を含む。パッシベーション層には複数のトレンチ114が形成され、複数のトレンチ114内には複数の導電性スタッド134が位置している。各導電性スタッド134は、パッシベーション層112下のランディングパッドから延びることができる。各導電性スタッド134は、対応するトレンチ114の側壁115により囲まれることで、導電性スタッド134と対応するトレンチ114の側壁115との間にリザーバが形成される。実施形態によれば、各導電性スタッド134は、パッシベーション層112の底面113の下方にある底面135を含む。

【0039】

図 1 に提示するイメージでは別個に視認できないが、パッシベーション層 112 の底面 113 及び複数のトレンチ 114 の側壁 115 には、薄い共形のバリア層 116 を形成することができる。複数のランディングパッドにも、バリア層を形成することができる。パッシベーション層 112 の底面 113 に形成されたバリア層 116 は、マイクロドライバチップ 120 の底面 121 を形成することができる。バリア層 116 は、パッシベーション層 112 の側壁 115 に形成され、その側壁と共形の側壁 117 を更に含むことができる。バリア層 116 が形成されていない実施形態では、パッシベーション層 112 の底面 113 は、マイクロドライバチップ 120 の底面 121 に対応することができる。

【0040】

図 2～図 10 は、ある実施形態によるマイクロドライバチップ 120 のアレイを製造する方法の概略側断面図である。ある実施形態では、マイクロドライバチップ 120 は、単結晶シリコンウエハに作製されている。例えば、作製基板は、シリコンウエハ 102 と、シリコンウエハ 102 に形成されたデバイス層 104 とを含むことができる。例えば、デバイス層 104 は、シリコンウエハ 102 上に成長したエピタキシャル層とすることができる。基板スタックは、更に、デバイス層 104 の下にある埋め込み酸化物層を含むシリコン・オン・インシュレータ（SOI；silicon on insulator）ウエハとすることができる。マイクロドライバチップデバイス（例えば、ドライバトランジスタ、発光制御トランジスタ、スイッチングトランジスタなど）はデバイス層に形成かつビルドアップ層 106 にて相互配線することができ、ビルドアップ層は、1つ以上の相互配線層（例えば、銅相互配線）及び絶縁層（例えば、層間絶縁膜、ILD；interlayer dielectric）を含むこと
10
20

【0041】

図 2 に例示する実施形態では、パッシベーション層 112 はビルドアップ層 106 の上に形成され、対応するランディングパッド 110 の上面 111 を露出させる、パッシベーション層 112 を通るトレンチ 114 を形成するように、パターニングされる。ある実施形態では、トレンチは、1～5 μm など、1～10 μm の最大幅を有する。ある実施形態では、ランディングパッド 110 はトレンチ 114 よりも広く、ランディングパッド 110 の上面 111 のみがトレンチ 114 の下部で露出される。パッシベーション層 112 は、酸化物、窒化物（例えば、SiNx）、ポリマー（例えば、ポリイミド、エポキシなど）を含む様々な好適な材料から形成することができる。図 3 を参照すると、トレンチ 114 内及びランディングパッド 110 の上面 111 には、次いでパッシベーション層 112 の上にバリア層 116 を任意選択的に形成することができる。実施形態によれば、バリア層 116 は、マイクロドライバチップ 120 のエッチリリース作業中の化学的保護をもたらすことができる。バリア層 116 は、はんだリフロー用の非湿潤面を更に提供することができる。原子層堆積（ALD；atomic layer deposition）などの共形堆積法を用いて、バリア層 116 を形成することができる。ある実施形態では、バリア層 116 は Al₂O₃ で形成される。ある実施形態では、バリア層 116 の厚さは、2, 000 オングストローム（0.2 μm）未満である。
30

【0042】

ここで図 3 を参照すると、次いで、チップレット 119 のアレイを画定するために、パッシベーション層 112、ビルドアップ層 106、及びデバイス層 104 を通って、チップレットトレンチ 122 が形成される。ある実施形態では、チップレットトレンチ 122 は、シリコンウエハ 102（又は埋め込み酸化物層）上で留まる。例示的なトレンチは、およそ幅 1 μm、及び深さ（例えば、バリア層 116、パッシベーション層 112、ビルドアップ層 106、及びデバイス層 104 の合計厚さ）5～10 μm とすることができる。チップレットトレンチ 122 は、誘導接合プラズマ反応性イオンエッチング（ICP-RIE；inductively coupled plasma reactive-ion etching）などの好適なドライエッチング技術を用いて形成することができる。
40

【0043】

10

20

30

40

50

次いで、図 5 に例示するように、チップレット 119 のアレイの上及びチップレットトレンチ 122 内に、犠牲剥離層 130 を形成することができる。ある実施形態では、犠牲剥離層 130 は、チップレット 119 を形成する他の材料に対して選択的に除去可能な材料で形成される。ある実施形態では、犠牲剥離層 130 は酸化物（例えば、 SiO_2 ）で形成されるが、他の材料を用いてもよい。チップレットトレンチ 122 を充填できる、スパッタリング、低温プラズマ化学気相成長（PECVD；plasma enhanced chemical vapor deposition）又は電子ビーム蒸着などの好適な技術を用いて、犠牲剥離層 130 を形成することができる。堆積後には、平坦な上面 131 を形成するために研磨作業を任意選択的に行うことができる。

【0044】

10

ある代替実施形態では、図 4 に例示するチップレットトレンチ 122 の形成後、かつ犠牲剥離層 130 の堆積前に、バリア層 116 を形成することができる。このような実施形態では、バリア層 116 はまた、チップレット 119 の側壁に沿って、かつチップレットトレンチ 122 内にもわたる。このような実施形態では、バリア層 116 は、エッチリリース作業中に、マイクロドライバチップ 120 の側壁に沿って追加的な化学的保護をもたらすことができる。

【0045】

図 6 を参照すると、ランディングパッド 110 を露出させるために、犠牲剥離層 130 及び任意選択的なバリア層 116 を通って、スタッド開口 132 が形成される。例示するように、スタッド開口 132 は、パッシベーション層 112 に形成されたトレンチ 114 よりも狭くすることができる。これにより、トレンチは、最終構造のリザーバとして機能することができる。スタッド開口 132 には、次いで、導電性材料が充填されて、導電性スタッド 134 が形成される。例えば、導電性スタッド 134 を銅で形成することができ、犠牲剥離層 130 をめっき型として用いる無電解めっき技術を用いて形成することができる。

20

【0046】

ここで図 8 を参照すると、基板スタックは、次いで、安定化層 140 によりキャリア基板 142 に接合される。例えば、安定化層 140 はベンゾシクロブテン（BCB；benzocyclobutene）又はエポキシなどの接着性接合材料で形成することができ、接合中に硬化させて架橋熱硬化体を形成することができる。ある実施形態では、キャリア基板 142 はシリコンウエハとすることができるが、他の基板を用いてもよい。次いで、図 9 に例示するようにチップレットトレンチ 122 内の犠牲剥離層 130 を露出させるように、シリコンウエハ 102 を、研削、又はエッチング及び研削などの好適な加工技術を用いて除去し、続いて、図 10 に示すように犠牲剥離層 130 を除去し、安定化層 140 によりキャリア基板 142 に支持されたマイクロドライバ 120 のアレイを生じさせることができる。ある実施形態では、犠牲剥離層 130 は、HF 蒸気などの好適なエッチング化学物質を用いて選択的に除去されるが、犠牲剥離層 130 の組成によっては他の化学物質を用いてもよい。図 10 に例示するマイクロドライバチップ 120 は、安定化層 140 に接触する導電性スタッド 134 の底面 135 の接触領域により、安定化層 140 に接着される。マイクロドライバチップ 120 のアレイは、ピックアップ、ディスプレイ基板への移載及び接合の準備が整う。

30

40

【0047】

ここで図 11 を参照すると、ある実施形態による、ディスプレイ基板 202 に接合される前の、ディスプレイ基板 202 の上にあるマイクロドライバチップ 120 の概略側断面図が提示されている。例示するように、ディスプレイ基板 202 のうちマイクロドライバチップ 120 を受ける部分は、はんだ材 206 がそれぞれに堆積した複数のコンタクトパッド 204 を含む。コンタクトパッド 204 は、銅及びアルミニウムなどの様々な導電性材料で形成することができ、層状スタックを含むことができる。例えば、コンタクトパッド 204 は、下にある導電層（例えば、銅、アルミニウム）への拡散を防止するための接着／バリア層（例えば、 TaN ）を含むことができる。

50

【0048】

ある実施形態では、トレンチ114は、1～5 μmなど、1～10 μmの最大幅を有し、1～3 μmなど、0.5～5 μmの最大幅の導電性スタッド134を有する。ある実施形態では、隣接するトレンチ114を、数ミクロンほどの小さな幅、例えば、1～6 μmなど、1～15 μmで離間させることができる。ある実施形態では、はんだ材206の別個の箇所は、対応する導電性スタッド134よりも広い。図示するように、導電性スタッド134は、導電性スタッド134の底面135がマイクロドライバチップ120の底面121の下方に、例えば0.2～2 μmの範囲にあるように、パッシベーション層112及びバリア層116よりも厚く（高く）することができる。ある実施形態では、マイクロドライバチップ120の本体（導電性スタッド134を除く）の合計厚さは、5～10 μmなど、3～20 μm、又は8 μmである。

10

【0049】

図12は、ある実施形態による、ディスプレイ基板202に接合されたマイクロドライバチップ120の概略側断面図である。ある実施形態では、導電性スタッド134は、はんだ材206を貫通する。実施形態によれば、はんだ材206を溶かすために高温で接合作業を行うことができ、はんだ材は、リフローし、マイクロドライバチップ120に形成されたトレンチ114に収容される。このようにして、トレンチ114は、はんだ材206の過剰なリフローによる、隣接するコンタクトパッド204又は導電性スタッド134の間の電氣的短絡の可能性を抑制する。

【0050】

ある実施形態によれば、導電性スタッド134は、はんだ材206との接触用の増大した表面領域を提供する。増大した接触領域は、バリア層116の材料に比べて、はんだ材206の選択的な湿潤用の増大した相対領域を更に提供することができる。この選択的な湿潤は、隣接するコンタクトパッド204間で、リフローしたはんだ材206の横方向の広がりを更に緩和することができる。

20

【0051】

別の態様では、導電性スタッド134は、コンタクトパッド204との金属間接触を可能にするプロファイルを形成することができ、プロファイルは、移載及び接合作業中にクッションとして潜在的に作用し、マイクロドライバチップ120の機械的完全性を潜在的に保持することができる。このような構成では、導電性スタッド134及びコンタクトパッド204を形成する金属又は金属合金材料は、Al₂O₃バリア層116など、マイクロドライバチップ120又はディスプレイ基板202の他の材料よりも相対的に軟質であることができる。このようにして、軟質－硬質又は硬質－硬質の接触とは対照的に、相対的に軟質－軟質の接触が形成される。

30

【0052】

図13～図14は、ある実施形態による、マイクロドライバチップ120及びマイクロLED220のアレイを含むディスプレイシステムの概略上面図である。発光コントローラは、表示されるコンテンツ、例えば、画像情報（例えば、データフレーム）に対応する入力信号を、ディスプレイのバックプレーン（の全体又は一部）で入力として受けることができる。発光コントローラは、マイクロLED220に（例えば、人間の目に見える）光を選択的に放出させるための回路（例えば、ロジック）を含むことができる。発光コントローラは、記憶デバイス（1つ又は複数）（例えば、コンデンサ又はデータレジスタ）にデータ信号（例えば、マイクロLED220をオフ又はオンするための信号）を受けさせることができる。列ドライバ及び／又は行ドライバが、発光コントローラの構成部品であってもよい。列ドライバは、マイクロドライバチップ120の列と通信（例えば、制御）することを、発光コントローラに可能にさせ得る。行ドライバは、マイクロドライバチップ120の行と通信（例えば、制御）することを、発光コントローラに可能にさせ得る。列ドライバ及び行ドライバは、個々のマイクロドライバチップ120又はマイクロドライバチップ120のグループと通信（例えば、制御）することを、発光コントローラに可能にさせ得る。

40

50

【0053】

ある実施形態では、1つ以上のマイクロLED220は、1つ以上のマイクロLED220からの光の放出を（例えば、発光コントローラに従って）駆動するマイクロドライバチップ120に接続することができる。例えば、ディスプレイバックプレーンのディスプレイ基板に、マイクロドライバチップ120及びマイクロLED220を表面実装することができる。描写されているマイクロドライバチップ120は10個のマイクロLED220を含むが、本開示はそのように限定されず、マイクロドライバチップ120は、1つのマイクロLED220、又は任意の複数のマイクロLED220及び複数の画素を駆動してもよい。

【0054】

一実施形態では、ディスプレイドライバのハードウェア回路（例えば、ハードウェア発光コントローラ）は、ディスプレイパネルの発光グループの行の数を選択するための（例えば、行選択）ロジックであって、単一の行から表示パネルのフルパネルまで行の数を調節可能であるロジック、ディスプレイパネルの発光グループの列の数を選択するための（例えば、列選択）ロジックであって、単一の列からディスプレイパネルのフルパネルまで列の数を調節可能であるロジック、及び、表示されるデータフレーム当たりのパルス数を選択するための（例えば、発光）ロジックであって、データフレーム当たりのパルス数を1から複数まで調節可能であり、連続デューティサイクルから非連続デューティサイクルまでパルス長を調節可能であるロジック、のうちの1つ以上を含むことができる。発光コントローラは、ハードウェア、ソフトウェア、ファームウェア、又はそれらの任意の組み合わせを含むことができる。

【0055】

ここで図13を参照すると、図示される実施形態では、導電性端子接点208のアレイが、マイクロLED220及びマイクロドライバチップ120の行及び列間での、マイクロLED220を導電性端子構造に電氣的に接続するための線の配列として例示されている。図14に例示する実施形態では、導電性端子接点208のアレイは、マイクロLED220を導電性端子構造に電氣的に接続するための別個の箇所（例えば、ピラー又は開口）の配列として例示されている。

【0056】

以下の説明及び図では、マイクロLED220及びマイクロドライバチップ120をディスプレイ基板220に集積化すること、及びマイクロLED220を導電性端子構造に、例えば、上部接触層240で電氣的に接続するための集積化スキームの様々な側断面図が提示されている。実施形態によれば、上部接触層240は、様々な構成で、及び様々な領域に導電性端子接点208との電氣的接触を作ることができる。例えば、パッシベーション充填層230の露出した線又は開口の直線長に沿って（例えば、図13）、又はパッシベーション充填層230の露出したポスト又は開口に沿った離散した箇所に（例えば、図14）電氣的接触を作ることができる。

【0057】

ここで図15を参照すると、ある実施形態による、マイクロデバイスをディスプレイ基板202に集積化する方法を例示するフローチャートが提示されている。図16は、ある実施形態による、パターニングされたパッシベーション充填層230を有する集積化されたディスプレイ基板202の概略側断面図である。分かり易くするために、図15～図16について、同様の特徴について同じ参照番号を参照して同時に説明している。

【0058】

作業1510では、ディスプレイ基板202にバンク構造212をパターニングする。バンク構造212は、1つ以上の層を含むことができる。例えば、バンク構造212は、SiO₂、SiNx、又は上部にSiNxを有するSiO₂/SiNxのスタックを含むことができる。代わりに、バンク構造212を有機（例えば、フォトレジスト）材料で形成してもよい。バンク構造212は、線の形態、又は離散したポスト様の突出部の形態とすることができる。

【0059】

ディスプレイ基板202は、様々な基板を含むことができる。ディスプレイ基板202は、剛性又は可撓性とすることができる。ある実施形態では、ディスプレイ基板は、ディスプレイを動作させる部分作動回路を含むTFT基板である。例えば、TFT基板は、マイクロドライバチップ120に含まれない作動回路、及び、マイクロドライバチップ120を行ドライバ、列ドライバ、発光コントローラなどのシステム構成部品と電氣的に接続するための経路210（例えば、信号線）を含むことができる。ある実施形態では、ディスプレイ基板202は、作動回路のいかなる能動デバイスをも含まないが、システム構成部品との電氣的接続用の経路210は含む。例示的な経路としては、非限定的に、Vdd線、電源線、Vss線、グランド線、データ信号入力線、走査信号入力線、発光制御信号入力線、基準電圧／電流線などが挙げられる。

10

【0060】

作業1520では、ディスプレイ基板202に接触層をパターニングする。ある実施形態では、複数のコンタクトパッド204、LEDコンタクトパッド203、コンタクトパッド204のうちの1つをLEDコンタクトパッド203に電氣的に接続するトレース線205、及び導電性端子接点208を形成するために、1つ以上の金属層が堆積されパターニングされる。ある実施形態では、金属層の堆積及びパターニングは、リフトオフ法を含む。代わりに、堆積及びエッチングを用いてもよい。ある実施形態では、コンタクトパッド204、LEDコンタクトパッド203、トレース線205、及び導電性端子接点208は、銅及びアルミニウムなどの様々な導電性材料で形成することができ、層状スタックを含むことができる。例えば、これらは、下にある導電層（例えば、銅、アルミニウム）への拡散を防止するための接着／バリア層（例えば、Ta₂N₅）を含むことができる。

20

【0061】

作業1530では、コンタクトパッド204及びLEDコンタクトパッド203に接合層（例えば、はんだ材206）が堆積される。例えば、蒸着技術を用いて、はんだ材206（例えば、In、Snなど）を堆積させることができる。

【0062】

作業1540では、マイクロドライバチップ120及びマイクロLED220を含むマイクロデバイスを、図12に関して前に説明したようにはんだ材206を用いてディスプレイ基板202に移載し接合する。

30

【0063】

図16には、マイクロLED220の拡大図が提示されている。例示するように、マイクロLED220は、ドープ層225（例えば、p型ドープ）と、ドープ層229（例えば、n型ドープ）と、ドープ層225とドープ層229との間の活性層227（例えば、1つ以上の量子井戸層を含む）とを含むマイクロp-nダイオード222を含むことができる。ある実施形態では、ドープ層225、229のドーピングは反転される。上部ドープ層229には上部電極226が形成され、下部ドープ層225には下部電極224が形成される。上部電極及び下部電極は、マイクロLED220の上面223及び底面221を形成することができる。示すように、マイクロLED220は、マイクロp-nダイオード222の層の側縁にわたることができる側壁228を含む。実施形態によれば、異なるII-VI又はIII-V族の無機半導体ベースのシステムを用いて、マイクロp-nダイオード222を作製することができる。例えば、青色又は緑色発光マイクロp-nダイオード222を、非限定的に、Ga₂N、AlGa₂N、InGa₂N、AlN、InAlN、AlInGa₂N、ZnSeなどの無機半導体材料を用いて作製することができる。例えば、赤色発光マイクロp-nダイオード222を、非限定的に、GaP、AlP、AlGaP、AlAs、AlGaAs、AlInGaP、AlGaAsP、及び任意のAs-P-Al-Ga-Inなどの無機半導体材料を用いて作製することができる。

40

【0064】

作業1550では、ディスプレイ基板202にパッシベーション充填層230をコーティングする。図示するように、パッシベーション充填層230は、マイクロLED220

50

及びマイクロドライバチップ120を横方向に囲む。パッシベーション充填層230は、ディスプレイ基板202の表示領域全体の上に形成された単一の層とすることができる。パッシベーション充填層230は、誘電体材料で形成することができる。パッシベーション充填層230は、アクリル又はエポキシなどの架橋材料で形成することができる。パッシベーション充填層230は、感光性とすることができる。パッシベーション充填層230を形成するために、スピンコーティング、インク噴射、及びスリットコーティングなどの様々な適用方法を用いることができる。ある実施形態では、ディスプレイ基板202は、パネルの大きさで作られる。このような実施形態では、スリットコーティングを利用することができる。スリットコーティング装置の刃が、マイクロドライバチップ120を損傷することなくマイクロドライバチップ120をクリアするように、パッシベーション充填層230の上面を最も高い構成部品（例えば、マイクロドライバチップ）の上面又はその上方に持ち上げることができる。パッシベーション充填層230の形成に続いて、パッシベーション充填層230の厚さを小さくするために、エッチバックを任意選択的に行うことができる。

10

【0065】

ある実施形態では、パッシベーション充填層230は、平坦な上面233及び共形の底面を含む。示すように、共形の底面は、バンク構造212の導電性端子接点208の微細構成を含む、共形の底面が上に形成される微細構成、及びLEDコンタクトパッド203をコンタクトパッド204に電氣的に接続するトレース線205に、共形であることができる。

20

【0066】

作業1560では、導電性端子接点208を露出させる導電性端子接点開口234と、マイクロLED220の上面223を露出させるマイクロLED開口232とを形成するように、パッシベーション充填層230をパターニングする。作業1570では、次いで、上部接触層240をパッシベーション充填層230、マイクロLED220、及び導電性端子接点208に形成して、上部接触層がマイクロLED220及び導電性端子接点208と電氣的に接触するようにする。

【0067】

上部接触層240は、透明導電性酸化物(TCO; transparent conductive oxide)又は透明導電性ポリマーなどの様々な材料で形成することができる。ある実施形態では、上部接触層240は、インジウムスズ酸化物(ITO; indium-tin-oxide)で形成され、スパッタリングなどの好適な技術を用いて、及び任意選択的に続いてパターニングにより、形成することができる。ある実施形態では、マイクロLEDのアレイの各マイクロLED220の上、及び導電性端子接点のアレイの各導電性端子接点208の上に、ブラケット上部接触層240が形成される。このような構成では、上部接触層240は、バックプレーンの画素領域内の全てのマイクロLED220に対する導電性端子構造及び信号接続を提供する。ある実施形態では、複数の上部接触層240が形成される。

30

【0068】

ここで図17～図20を参照すると、ある実施形態による、コンタクトパッド203、204のアレイの縁を覆うパターニングされた絶縁層211を有するディスプレイ基板に、マイクロデバイスを集積化する方法の、概略側断面図が提示されている。特に、バンク構造212と同じ層によりパターニングされた絶縁層211を形成するために、グレートーンフォトマスク300を利用することができる。図17を参照すると、LEDコンタクトパッド203、コンタクトパッド204、及びトレース線205を含むディスプレイ基板202の上に絶縁層217が形成されている。絶縁層217は、フォトレジストなどの感光性材料から形成することができる。図18を参照すると、コンタクトパッド204及び任意選択的にLEDコンタクトパッド203のレイの縁を覆うパターニングされた絶縁層211、並びにパターニングされたバンク構造212を形成するために、グレートーンマスク300を用いることができる。パターニングされたバンク構造212は、導電性の導電性端子線201上に任意選択的に形成することができる。

40

50

【0069】

図19を参照すると、はんだ材206は、コンタクトパッド204及びLEDコンタクトパッド203に堆積されている。はんだ接触層207は、バンク構造212の上に任意選択的に堆積され、導電性端子線201との電氣的接触を作ることができる。次いで、マイクロドライパチップ120及びマイクロLED220を、図12に関して前に説明したようにはんだ材206を用いてディスプレイ基板202に移載し接合することができる。図20を参照すると、パッシベーション充填層230が形成され、開口234、232を形成するようにパターニングされ、上部接触層240が、図16に関して説明したのと同様に堆積されている。

【0070】

パターニングされた絶縁層211の集積化は、図20に例示する実施形態に限定されない。例えば、図16、図22、図24、図25、及び図26に例示する構造のいずれかと、パターニングされた絶縁層211とを組み合わせることができる。加えて又は代わりに、図16、図22、図24、図25、及び図26の接触層208とはんだ接触層207を置換してもよい。

【0071】

ここで図21を参照すると、ある実施形態による、マイクロデバイスをディスプレイ基板に集積化する方法を例示するフローチャートが提示されている。図22は、ある実施形態による、持ち上げられたマイクロLED220を有する集積化されたディスプレイ基板202の一部分の概略側断面図である。分かり易くするために、図21～図22について、同様の特徴について同じ参照番号を参照して同時に説明している。加えて、図21～図22は、図15～図16と複数の類似点を共有する。本発明を不明瞭にしないために、特有の相違点について論じ、同様の特徴及び作業については詳細に論じない場合がある。

【0072】

図22を参照すると、例示される実施形態では、バンク構造212は、複数のバンクレベルを含む。具体的に、バンク構造212は、第1のバンクレベル213と、第1のバンクレベル213上の第2のバンクレベル214とを含む。作業2110では、第1のバンクレベル213をパターニングし、続いて作業2120で第2のバンクレベル214をパターニングする。ある実施形態では、第1のバンクレベル213及び第2のバンクレベル214は、同じ材料層で一体的に形成される。第2のバンクレベル214は、線の形態、又は離散したポスト様の突出部の形態とすることができる。

【0073】

作業2130では、ディスプレイ基板202に接触層をパターニングする。ある実施形態では、複数のコンタクトパッド204、LEDコンタクトパッド203、コンタクトパッド204のうちの1つをLEDコンタクトパッド203に電氣的に接続するトレース線205、及び導電性端子接点208を形成するために、1つ以上の金属層が堆積されパターニングされる。図22に例示する実施形態では、LEDコンタクトパッド203は第1のバンクレベル213の上部にあり、トレース線205は、第1のバンクレベルの側壁215に沿ってディスプレイ基板202上の（マイクロドライパチップ120の）コンタクトパッド204にわたっている。示すように、導電性端子接点208は、第2のバンクレベル214の上に形成されている。一実施形態では、導電性端子接点208の上面は、マイクロドライパチップ120の上面123（作業2130ではまだディスプレイ基板に接合されていない）と同じ高さであり、又は上面の上方にある。

【0074】

作業2140では、接合層（はんだ材206）の別個の箇所がコンタクトパッド204及びマイクロLEDコンタクトパッド203に堆積される。作業2150では、前に説明したように、マイクロドライパチップ120及びマイクロLED220をコンタクトパッド204、203に移載し接合し、続いて、作業2150でパッシベーション層230をコーティングし、作業2170で上部接触層240を堆積させる。

【0075】

図 2 2 に例示する特定の実施形態では、導電性端子接点 2 0 8 の上面及びマイクロ L E D 2 2 0 の上面 2 2 3 は、マイクロドライパチップ 1 2 0 の上面 1 2 3 と同じ高さとすることができる。ある実施形態では、導電性端子接点 2 0 8 及びマイクロ L E D 2 2 0 の上面は、マイクロドライパチップ 1 2 0 の上面 1 2 3 の $2\ \mu\text{m}$ 以内、又は $0.5\ \mu\text{m}$ 以内にすることができる。ある実施形態では、パッシベーション充填層 2 3 0 は、スリットコーティングなどの好適な技術を用いて形成され、導電性端子接点 2 0 8 の上面及びマイクロ L E D 2 2 0 の上面 2 2 3 を露出させるようにコーティング後に任意選択的にエッチバックされ得る平坦な上面 2 3 3 を含む。

【0076】

図 2 2 に例示する実施形態では、持ち上げられたマイクロ L E D 2 2 0 は、潜在的に、低角度光散乱を低減させ、ディスプレイ基板 2 0 2 に埋め込まれた経路 2 1 0 との結合を少なくすることができる。持ち上げられたマイクロ L E D 2 2 0 及び持ち上げられた導電性端子接点 2 0 8 によって、電氣的接触を作るためにパッシベーション充填層 2 3 0 に開口をパターニングするときのアライメント許容値の要件を緩和することができる。他の実施形態では、図 2 2 のディスプレイ構造は、マイクロ L E D 開口 2 3 2 及び／又は導電性端子開口 2 3 4 を任意選択的に含むことができる。このような構成では、バンク構造 2 1 2 は、マイクロ L E D 開口 2 3 2 及び／又は導電性端子開口 2 3 4 の深さを減少することによって、アライメント許容値を部分的に緩和することができる。

【0077】

ここで図 2 3 を参照すると、ある実施形態による、マイクロデバイスをディスプレイ基板に集積化する方法を例示するフローチャートが提示されている。図 2 4 は、ある実施形態による、持ち上げられたマイクロ L E D 2 2 0 及びパターニングされたパッシベーション充填層 2 3 0 を有する集積化されたディスプレイ基板 2 0 2 の一部分の概略側断面図である。分かり易くするために、図 2 3 ～図 2 4 について、同様の特徴について同じ参照番号を参照して同時に説明している。加えて、図 2 3 ～図 2 4 は、図 1 5 ～図 1 6 及び図 2 1 ～図 2 2 と複数の類似点を共有する。本発明を不明瞭にしないために、特有の相違点について論じ、同様の特徴及び作業については詳細に論じない場合がある。

【0078】

作業 2 3 1 0 では、ディスプレイ基板 2 0 2 にバンク構造 2 1 2 をパターニングし、続いて、作業 2 3 2 0 で接触層をパターニングする。図 2 4 を参照すると、例示する実施形態では、導電性端子接点 2 0 8 と L E D コンタクトパッド 2 0 3 の両方が、バンク構造 2 1 2 の上面、例えば、バンク構造 2 1 2 の平坦な上面に形成されている。加えて、トレース線 2 0 5 は、バンク構造 2 1 2 の側壁 2 1 5 に沿ってディスプレイ基板 2 0 2 上の（マイクロドライパチップ 1 2 0 の）コンタクトパッド 2 0 4 にまでわたっている。次いで、マイクロ L E D 開口 2 3 2 の形成を除いて、作業 1 5 3 0 ～1 5 7 0 と同様に作業 2 3 3 0 ～2 3 7 0 を行うことができる。

【0079】

図 2 4 に例示する集積化構造は、導電性端子接点開口 2 3 4 がパッシベーション充填層 2 3 0 に形成される点と、導電性端子接点 2 0 8 がマイクロ L E D コンタクトパッド 2 0 3 と同様にバンク構造 2 1 2 の上部に形成される点とを除いて、図 2 2 に関して例示し説明したものと同様である。図 2 4 に例示する実施形態では、持ち上げられたマイクロ L E D 2 2 0 は、潜在的に、低角度光散乱を低減させ、ディスプレイ基板 2 0 2 に埋め込まれた経路 2 1 0 との結合を少なくすることができる。持ち上げられたマイクロ L E D 2 2 0 は、電氣的接触を作るためにパッシベーション充填層 2 3 0 に開口をパターニングするときのアライメント許容値の要件を緩和することができる。例示する実施形態では、導電性端子接点 2 0 8 への電氣的接続用の経路を提供するために、導電性端子接点開口 2 3 4 は依然としてパッシベーション充填層 2 3 0 に形成されるが、いくつかの実施形態では、アライメント許容値は、マイクロ L E D 2 2 0 の場合よりも大きくすることができる。例えば、マイクロ L E D 2 2 0 の側壁 2 2 8 に沿った短絡の危険性は、導電性端子接点 2 0 8 との接触を作る上で問題にならない。加えて、いくつかの実施形態によれば、導電性端子

10

20

30

40

50

接点 208 と対応する開口 234 のための接触領域を、マイクロ LED 220 の場合よりも更に大きくすることができる。他の実施形態では、図 24 のディスプレイ構造は、マイクロ LED 開口 232 を任意選択的に含むことができる。このような構成では、バンク構造 212 は、マイクロ LED 開口 232 の深さの減少によって、アラインメント許容値を部分的に緩和することができる。

【0080】

ここで図 25 を参照すると、ある実施形態による、持ち上げられたマイクロ LED 220 及びパターニングされたパッシベーション充填層 230 を有する集積化されたディスプレイ基板 202 の一部分の概略側断面図が提示されている。図 25 は、図 24 に例示する実施形態とのいくつかの点で類似するが、導電性端子接点 208 及びマイクロ LED 220 のために別個のバンク構造 212 が形成される一点で相違する。他の実施形態では、図 25 のディスプレイ構造は、マイクロ LED 開口 232 を任意選択的に含むことができる。このような構成では、バンク構造 212 は、マイクロ LED 開口 232 の深さの減少によって、アラインメント許容値を部分的に緩和することができる。

【0081】

図 26 は、ある実施形態による、持ち上げられたマイクロ LED 220 及びピラー構造を有する集積化されたディスプレイ基板 202 の一部分の概略側断面図である。図 25 は、図 22 に例示する実施形態といくつかの点で類似し、特に、導電性端子接点及びマイクロ LED 220 との電氣的接触を作るためのパッシベーション充填層 230 にパターニングされた開口が省略される。このような構成では、バンク構造 212 及び導電性端子接点 208 の形成を伴って、図 16 に関して説明したのと同様に加工を進めることができる。バンク構造 212 上の導電性端子接点 208 の上部及びマイクロ LED コンタクトパッド 203 上に、次いで、（例えば、無電解堆積により）ピラー構造 252、250 を形成することができる。例えば、ピラー構造 252、250 を同じ高さにすることができる。ピラー構造は、複数の材料を含むことができる。例えば、ピラー構造は、銅、ニッケルスタックを含み、続いて、コンタクトパッド 204 に形成されたはんだ材 206 とともに、ピラーの上部にはんだ材 206 を形成することができる。ある実施形態では、マイクロドライバチップ 120 及びマイクロ LED 220 は、はんだ材 206 の堆積後に移載される。他の実施形態では、図 26 のディスプレイ構造は、マイクロ LED 開口 232 及び／又は導電性端子開口 234 を任意選択的に含むことができる。このような構成では、ピラー構造 252、250 は、マイクロ LED 開口 232 及び／又は導電性端子開口 234 の深さの減少によって、アラインメント許容値を部分的に緩和することができる。

【0082】

ここで図 27A～図 27B を参照すると、ある実施形態による、マイクロドライバチップ及び持ち上げられたマイクロ LED を含むディスプレイ基板の一部分の概略上面図及び側断面図が提示されている。例示するように、図 27B の側断面図は、図 27A の X-X 線に沿って取られている。図 27A に例示する特定の実施形態では、各マイクロドライバチップ 120 は、複数のトレース線 205 によって、各側で 9 個のマイクロ LED 220 に、すなわち、例示的な RGB 画素配列の各側で 3 個の画素（P）に接続される。図 27A に例示するマイクロ LED 220 及び画素（P）の数は、例示を目的としており、実施形態はそのように限定されない。例示する実施形態では、マイクロドライバチップ 120 は、導電性端子接点 208 に任意選択的に結合されている。これは、上部接触層 240 が接続されるのと同じ導電性端子接点 208、又は代わりに、マイクロドライバチップ 120 のために確保された別個の導電性端子接点 208 であってもよい。それでも、別個の導電性端子接点 208 が、やはりマイクロ LED 220 及びそれらの対応する導電性端子接点 208 に供給される信号と同じ信号を受けることができる。

【0083】

ある実施形態では、1つ以上のマイクロドライバチップ 120 は、バンク構造 212 の開口内、又はバンク構造 212 の間で横方向に、ディスプレイ基板 202 に実装される。図 27A に例示する特定の実施形態では、バンク構造 212 は、ディスプレイ基板を横切

10

20

30

40

50

って（例えば、垂直又は水平に）延びるレールの形状であり、マイクロドライバチップ 120 は、隣接するバンク構造 212 の間に実装される。バンク構造 212 には、導電性端子接点 208 が任意選択的に形成されてもよい。例えば、バンク構造 212 のレールの突出部に、導電性端子接点 208 を形成することができる。

【0084】

図 27A～図 27B に例示する特定の実施形態では、バンク構造 212 に冗長なマイクロ LED 220 の対が実装される。例えば、隣接する各バンク構造 212 のマイクロ LED 220 の行／列に各マイクロドライバチップ 120 を接続することができる。冗長化のために様々な動作構成を用いることができる。例示的な実施形態では、一方のバンク構造 212 の（例えば、左側の）一組のマイクロ LED 220 を一次動作マイクロ LED 220 とすることができる一方で、他方のバンク構造 212 上の（例えば右側の）マイクロ LED 220 の組を冗長にする、又は条件セットが満たされない限り動作しない二次マイクロ LED 220 とすることができる。なお、全てのマイクロ LED 220 を動作させてもよい。

【0085】

図 27B を具体的に参照すると、左側のマイクロ LED 220 の対の上にマイクロ LED 開口 232 が示されている一方で、右側のマイクロ LED 220 の対の上にマイクロ LED 開口 232 が例示されていない。この変則については、異なる厚さを有するマイクロ LED 220、より具体的には、異なる厚さを有する異なる色発光（例えば、赤、緑、青）用に設計されたマイクロ LED 220 によって説明することができる。このように、実施形態によれば、異なる色の発光用に設計されたマイクロ LED 220 は、マイクロ LED 開口 232 の対応する異なる深さを有することができる。ある実施形態では、マイクロ LED 開口 232 は、全てのマイクロ LED 220 の上に形成される。ある実施形態では、マイクロ LED 開口 232 は、いくつかのマイクロ LED 220 のみの上に形成される。

【0086】

実施形態によれば、図 27A～図 27B に関して例示する物理的レイアウト及び構成は、具体的に限定されず、非限定的に、図 16、図 20、図 22、図 24、図 25、及び図 26 を含む、ここで説明する他の物理的レイアウトに適用されてもよい。

【0087】

実施形態の様々な態様を利用する際、マイクロ LED 及びマイクロドライバチップをディスプレイ基板に集積化し、電氣的に接続するために、上記の実施形態の組み合わせ又は変形が可能であることが、当業者には明らかになるであろう。実施形態について、構造上の特徴及び／又は方法論的な作業に特定の言語で説明したが、添付の特許請求の範囲は、必ずしも上述した特定の特徴又は作業に限定されないことを理解されたい。開示した特定の特徴及び行為は、むしろ、説明上有用な特許請求の範囲の実施形態として理解されたい。

10

20

30

【図 1】

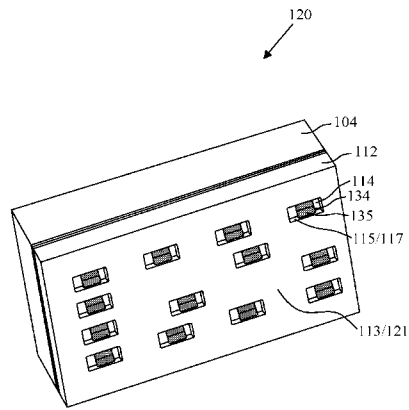


FIG. 1

【図 2】

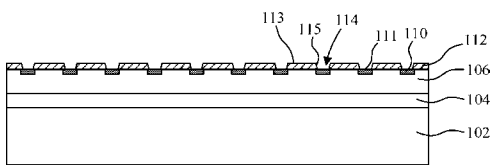


FIG. 2

【図 3】

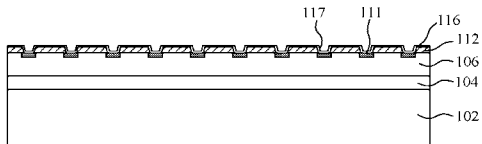


FIG. 3

【図 7】

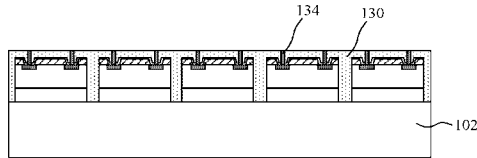


FIG. 7

【図 8】

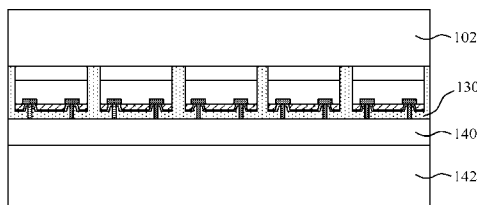


FIG. 8

【図 9】

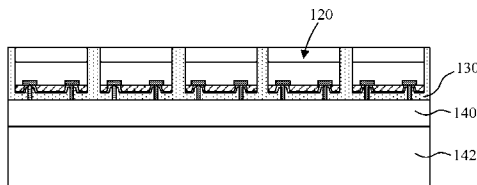


FIG. 9

【図 4】

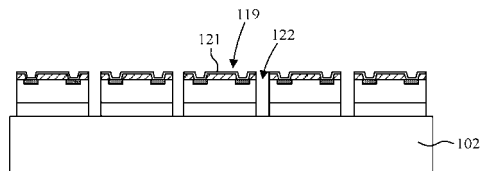


FIG. 4

【図 5】

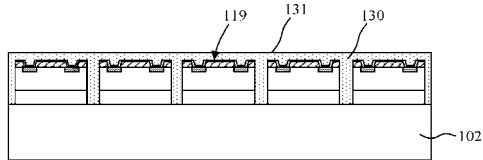


FIG. 5

【図 6】

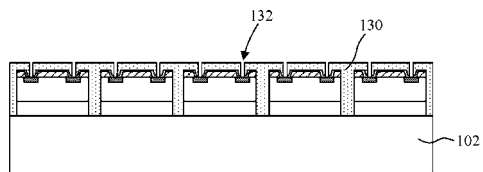


FIG. 6

【図 10】

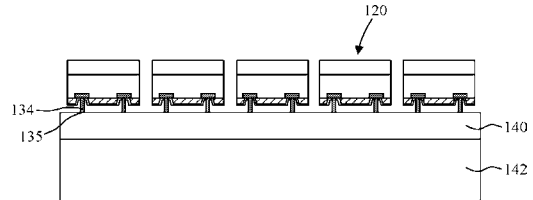


FIG. 10

【図 11】

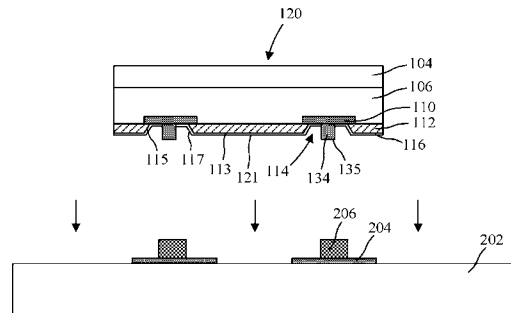


FIG. 11

【図 12】

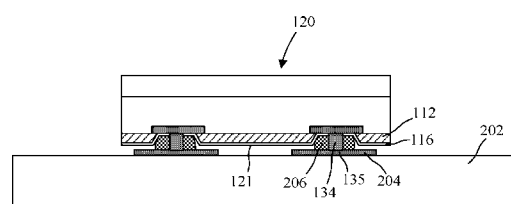


FIG. 12

【図 13】

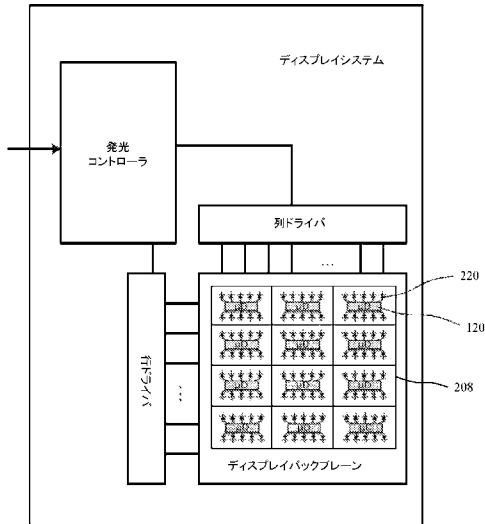


FIG. 13

【図 14】

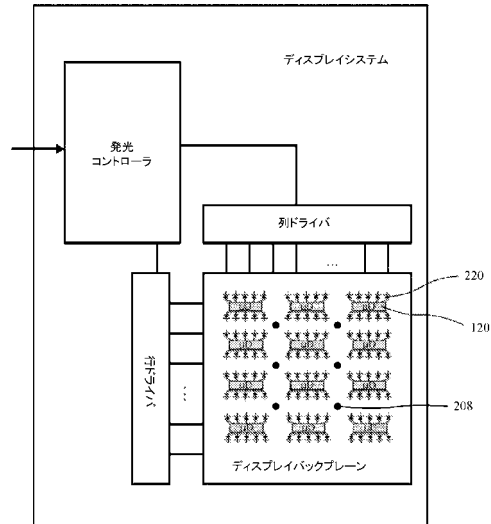


FIG. 14

【図 15】

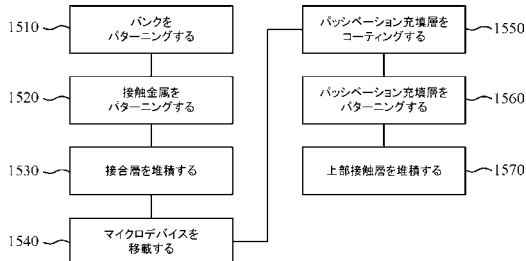


FIG. 15

【図 16】

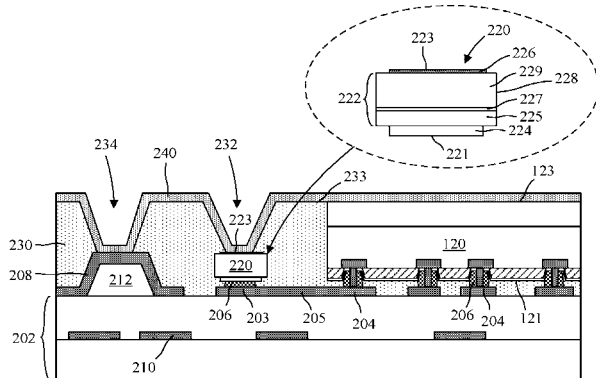


FIG. 16

【図 17】

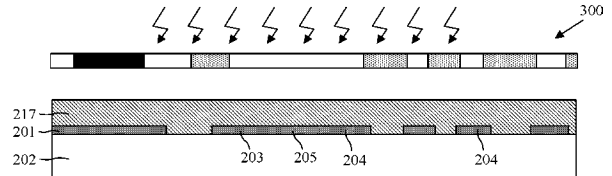


FIG. 17

【図 18】

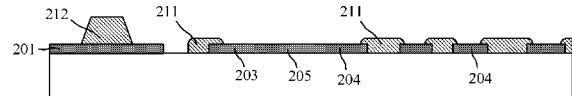


FIG. 18

【図 19】

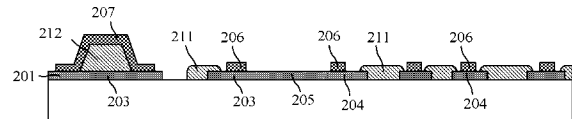


FIG. 19

【図 20】

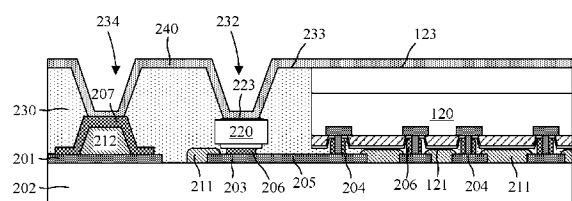


FIG. 20

【図 2 1】

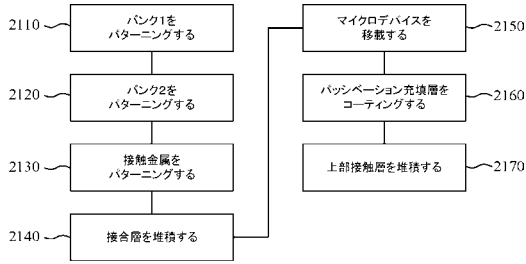


FIG. 21

【图 2 2】

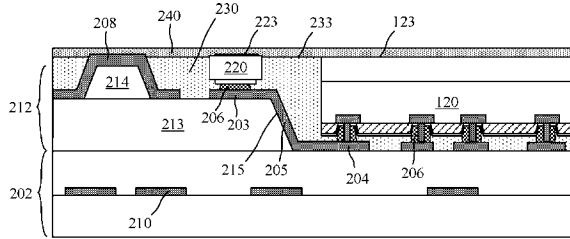


FIG. 22

【图 2 3】

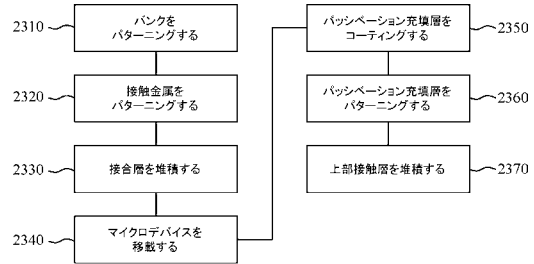


FIG. 23

【 図 2 4 】

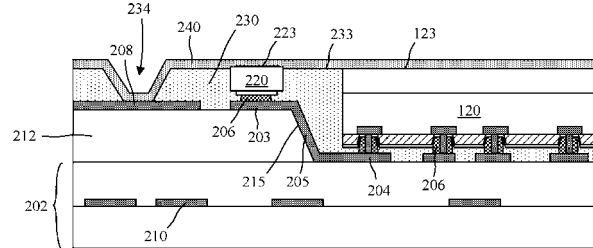


FIG. 24

【図 25】

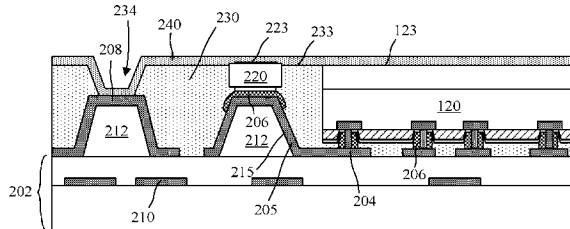


FIG. 25

【图 2 6】

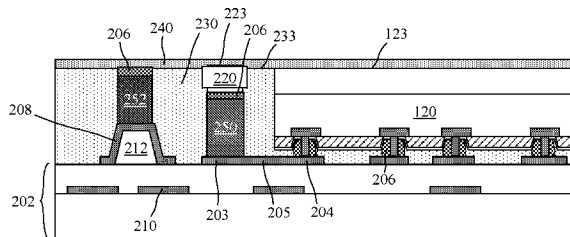


FIG. 26

【图 2 7 A】

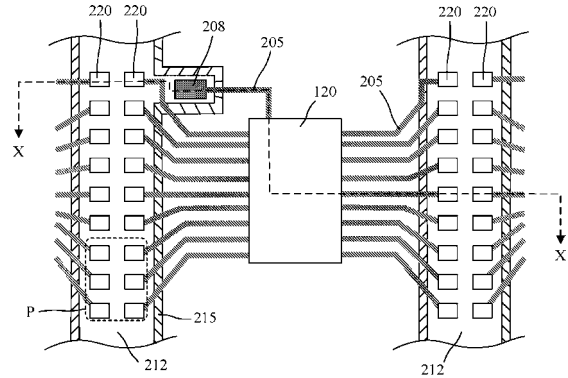


FIG. 27A

【图 2 7 B】

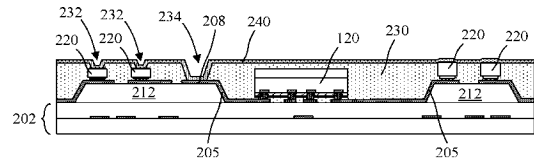


FIG. 27B

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2017/017532

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L25/075 H01L25/16 H01L23/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2011/273410 A1 (PARK BYUNG GOOK [KR] ET AL) 10 November 2011 (2011-11-10)	6-9
A	paragraphs [0095] - [0127]; figures 10,11,17	1-5
	paragraphs [0128] - [0162]; figures 1,21-31	

X	US 2004/219774 A1 (SHEN YU-NUNG [TW]) 4 November 2004 (2004-11-04)	1-5
Y	paragraphs [0032] - [0040]; figures 1-7	6-9,20

A	W0 2015/151797 A1 (SONY CORP [JP]) 8 October 2015 (2015-10-08)	1-9
	figure 12	

X	W0 2015/175131 A1 (LUXVUE TECHNOLOGY CORP [US]) 19 November 2015 (2015-11-19)	10-19
Y	paragraphs [0042] - [0061]; figures 4a-4s	20

	-/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier application or patent but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

& document member of the same patent family

Date of the actual completion of the international search

16 June 2017

Date of mailing of the international search report

22/06/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Simeonov, Dobri

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2017/017532

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012/248625 A1 (COFFY ROMAIN [FR] ET AL) 4 October 2012 (2012-10-04) paragraphs [0031] - [0075]; figures 1,11,13	10-20
A	----- CN 105 244 347 A (ALPHA & OMEGA SEMICONDUCTOR) 13 January 2016 (2016-01-13) paragraphs [0036] - [0113]; figure 10 -----	10-20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2017/017532**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

International Application No. PCT/US2017/017532

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-9

A chip and a display with an improved chip-side bonding structure.

2. claims: 10-20

A display with improved in-plane integration and electrical connectivity.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2017/017532

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011273410 A1	10-11-2011	KR 101058880 B1 US 2011273410 A1	25-08-2011 10-11-2011
US 2004219774 A1	04-11-2004	NONE	
WO 2015151797 A1	08-10-2015	CN 106133815 A EP 3128505 A1 JP 2015197544 A US 2017103926 A1 WO 2015151797 A1	16-11-2016 08-02-2017 09-11-2015 13-04-2017 08-10-2015
WO 2015175131 A1	19-11-2015	TW 201547015 A US 2015333221 A1 WO 2015175131 A1	16-12-2015 19-11-2015 19-11-2015
US 2012248625 A1	04-10-2012	CN 102738132 A CN 202736913 U FR 2973573 A1 US 2012248625 A1	17-10-2012 13-02-2013 05-10-2012 04-10-2012
CN 105244347 A	13-01-2016	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(74)代理人 100116894

弁理士 木村 秀二

(74)代理人 100130409

弁理士 下山 治

(74)代理人 100134175

弁理士 永川 行光

(72)発明者 フー, シン-ホア

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 34-4
エイチダブリュティ, タンタウ アベニュー 10335 エヌ.

(72)発明者 チョイ, ジェイン

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 93-1
ピーピーオー, スティーヴンス クリーク ブールバール 19339

(72)発明者 ペダー, ジェームズ イー.

アメリカ合衆国 カリフォルニア州 94086, サニーヴェイル, メール ストップ 93-4
ディー, キファール ロード 1324

(72)発明者 ビタ, イオン

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 991-
エスビー01, インフィニット ループ 1

(72)発明者 タン, ハイロン

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 93-1
ピーピーオー, スティーヴンス クリーク ブールバール 19339

(72)発明者 スー, チン ウエイ

台湾 32542, タオユエン, メール ストップ 9150-ティーダブリュ, ロンギ
アン 10ス ロード, ナンバー 55

(72)発明者 シャラサニ, サンディーブ

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 93-1
ピーピーオー, スティーヴンス クリーク ブールバール 19339

(72)発明者 チェン, チーレイ

台湾 32542, タオユエン, メール ストップ 9150-ティーダブリュ, ロンギ
アン 10ス ロード, ナンバー 55

(72)発明者 カン, スング

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 89-2
ピーピーオー, インフィニット ループ 1

(72)発明者 小野 晋也

アメリカ合衆国 カリフォルニア州 95014, クパチーノ, メール ストップ 89-2
ピーピーオー, インフィニット ループ 1

(72)発明者 ヒュアン, ジャン エン

台湾 11047, タイペイ シティ, メール ストップ 706-アールイー, シン
ディスト. ソンジ ロード ナンバー 1, 19エー

(72)発明者 サイ, ルン

台湾 11047, タイペイ シティ, メール ストップ 706ーアールイー, シンイ
ディスト. ソンジ ロード ナンバー 1, 19エー

Fターム(参考) 5C094 AA06 AA22 AA38 BA25 CA19 DA09 DB01 FA02 FA03 FB14
5F142 BA32 CA11 CA13 CB11 CD02 CG03 CG27

专利名称(译)	微驱动器和微型LED的背板结构和工艺		
公开(公告)号	JP2019507905A	公开(公告)日	2019-03-22
申请号	JP2018541279	申请日	2017-02-10
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	小野晋也		
发明人	フー, シン-ホア チョイ, ジェイン ペダー, ジェームズ イー. ビタ, イオン タン, ハイロン スー, チン ウェイ シャラサニ, サンディーブ チェン, チー-レイ カン, スング 小野 晋也 ヒュアン, ジャン エン サイ, ルン		
IPC分类号	G09F9/33 H01L33/00 G09F9/30 H01L21/60		
CPC分类号	H01L23/3121 H01L23/3192 H01L24/11 H01L24/13 H01L24/16 H01L24/81 H01L25/0753 H01L25/167 H01L2224/10145 H01L2224/11002 H01L2224/11464 H01L2224/1147 H01L2224/13007 H01L2224/ /13021 H01L2224/13022 H01L2224/13083 H01L2224/131 H01L2224/13147 H01L2224/13155 H01L2224/1601 H01L2224/16112 H01L2224/16238 H01L2224/81193 H01L2224/81815 H01L2224/94 H01L2224/97 H01L2924/3841 H01L25/16 H01L2924/014 H01L2924/00014 H01L2224/03 H01L2224/11 H01L33/20 H01L33/36 H01L33/62 H01L24/95		
FI分类号	G09F9/33 H01L33/00.L G09F9/30.310 G09F9/30.330 H01L21/92.602.A		
F-TERM分类号	5C094/AA06 5C094/AA22 5C094/AA38 5C094/BA25 5C094/CA19 5C094/DA09 5C094/DB01 5C094/ /FA02 5C094/FA03 5C094/FB14 5F142/BA32 5F142/CA11 5F142/CA13 5F142/CB11 5F142/CD02 5F142/CG03 5F142/CG27		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	62/297113 2016-02-18 US		
其他公开文献	JP6622923B2		
外部链接	Espacenet		

摘要(译)

描述了微LED和微驱动器芯片集成方案。 在一些实施例中，微驱动器芯片包括形成在微驱动器芯片的底表面中的多个沟槽，每个沟槽围绕导电螺柱，该导电螺柱在微驱动器芯片主体的底表面下方延伸。 进一步描述了一种集成方案，该方案用于提供电连接的端子触点和结合到显示基板并与微型驱动器芯片相邻的微型LED。

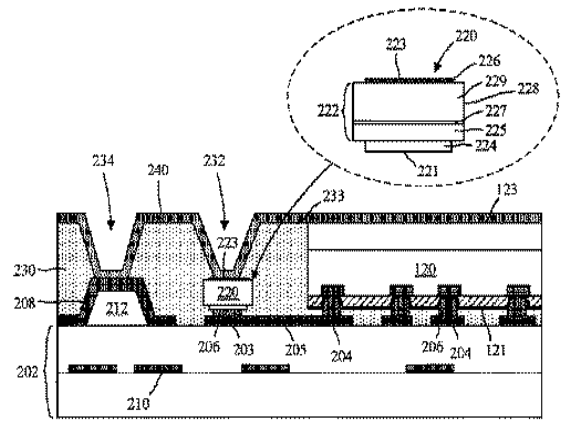


FIG. 16